

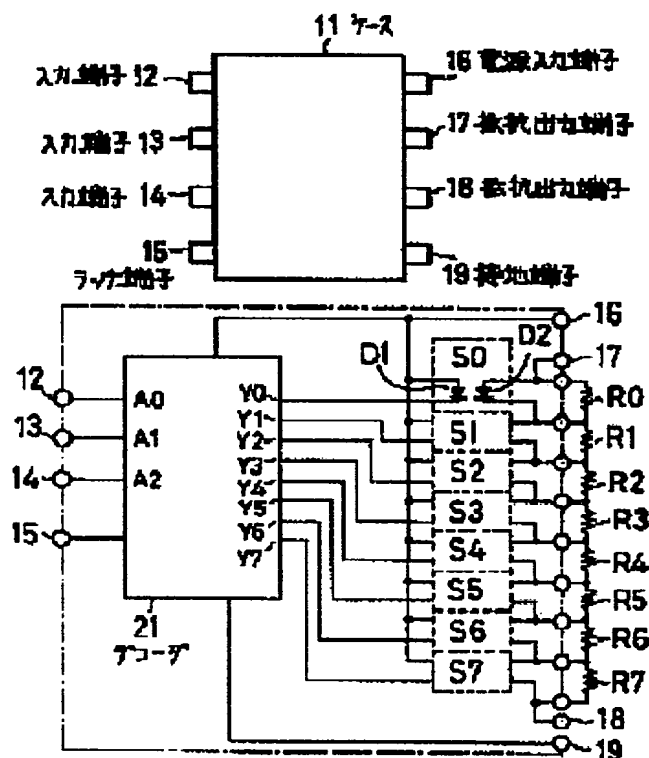
DIGITAL VARIABLE RESISTOR

Patent number: JP8037437
Publication date: 1996-02-06
Inventor: ITO NAOAKI
Applicant: TOSHIBA ENGINEERING CO
Classification:
- international: **H01C10/00; H01C13/00; H01C13/02; H03H5/02; H03M1/74; H01C10/00; H01C13/00; H03H5/00; H03M1/74; (IPC1-7): H03M1/74; H03H5/02; H01C10/00; H01C13/00; H01C13/02**
- european:
Application number: JP19940173879 19940726
Priority number(s): JP19940173879 19940726

Report a data error here

Abstract of JP8037437

PURPOSE: To obtain the variable resistor in which the resistance is surely and easily adjusted by providing plural resistive elements of series connection connected in parallel to plural short-circuits set to be short-circuited or open depending on a state of an applied signal. **CONSTITUTION:** A rectangular case 11 is provided with input terminals 12-14 receiving a control signal, a latch terminal 15, a power supply input terminal 16, resistor output terminals 17, 18 and a ground terminal 19. Input terminals A0-A2 correspond to bits of a 3-bit control signal and receive a level corresponding to the control signal. An H level signal is outputted to one of output terminals Y0-Y7, e.g. Y1 and an L signal is outputted to the other terminals depending on the combination of the input terminals A0-A2 receiving the signal. In this case, a light emitting diode D1 of a short-circuit S1 is not lighted. A diode D1 of other short-circuits S0, S2-S7 is lighted. The illuminated light is received by a photo diode D2, an anode and a cathode of the D2 is conductive and short-circuited. Thus, only the resistor R1 is connected between the resistor output terminals 17, 18 and the resistance between the terminals 17, 18 is decided. The combinations of the resistors R0-R7 to be short-circuited are changed depending on the control signal received by the input terminals A0-A2.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-37437

(43) 公開日 平成8年(1996)2月6日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 H 5/02		8321-5 J		
H 0 1 C 10/00	Z			
13/00	H	4231-5 E		
	A	4231-5 E		
13/02	Z	4231-5 E		

審査請求 未請求 請求項の数 2 O L (全 5 頁) 最終頁に続く

(21) 出願番号 特願平6-173879

(22) 出願日 平成6年(1994)7月26日

(71) 出願人 000221018

東芝エンジニアリング株式会社
神奈川県川崎市幸区堀川町66番2

(72) 発明者 伊東 直昭

神奈川県川崎市幸区堀川町66番2 東芝エ
ンジニアリング株式会社内

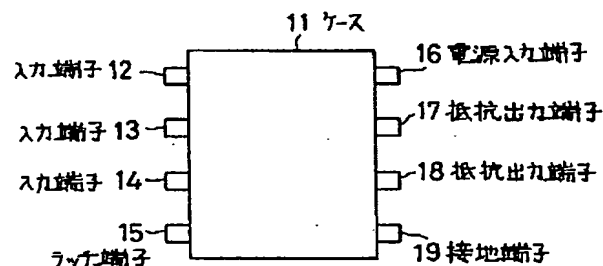
(74) 代理人 弁理士 大胡 典夫

(54) 【発明の名称】 デジタル可変抵抗装置

(57) 【要約】

【目的】 抵抗値の調整が確実で容易なデジタル可変抵抗装置を提供すること。

【構成】 複数の入力端A0～A2と、この入力端のうち、信号が入力される入力端の組み合わせで決まる所定の端子に信号が出力される複数の出力端Y0～Y7と、この複数の出力端のそれぞれに接続され、接続する出力端の出力状態で短絡状態、あるいは開放状態となる複数の短絡回路S0～S7と、この複数の短絡回路にそれぞれ並列に接続され、全体が直列に接続された複数の抵抗素子R0～R7とで構成される。



1

【特許請求の範囲】

【請求項 1】 加えられる信号の状態により、短絡状態あるいは開放状態となる複数の短絡回路と、この複数の短絡回路にそれぞれ並列に接続され、全体が直列に接続された複数の抵抗素子とを具備したデジタル可変抵抗装置。

【請求項 2】 前記短絡回路が、発光ダイオードとフォトダイオードとの組み合わせで構成されたことを特徴とする請求項 1 記載のデジタル可変抵抗装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、外部から加えられる制御信号によって、所定の端子間に接続される抵抗値を変化させるデジタル可変抵抗装置に関する。

【0002】

【従来の技術】 従来、所定の端子間に接続される抵抗値を変化させる装置として、例えばトリマーポテンショメータがある。ここで、トリマーポテンショメータについて図 4 を参照して説明する。図 4 は等価回路を示し、例えば、端子 A-C 間に抵抗 R が接続されている。そして、出力端子 B の先端が抵抗 R 上を摺動する構成になっている。この構成によれば、出力端子 B の先端が抵抗 R と接続する位置によって、例えば出力端子 B と端子 A 間の抵抗値が変化する。なお、出力端子 B の先端を抵抗 R 上で摺動させる場合、例えば、トリマーポテンショメータに設けられた調整ネジを回転して行われる。

【0003】 したがってトリマーポテンショメータを用いて、例えば光送信モジュールの光出力のレベル調整する場合、光レベルメータで光出力を測定しながら調整ネジを回転し抵抗値を変化させる。そして、所定の光出力になった状態で調整ネジを固定している。

【0004】 このため、トリマーポテンショメータを用いる場合は、調整ネジの回転作業や、調整ネジの固定作業が必要となる。また、調整ネジの回転作業や固定作業のために、抵抗値の調整を自動化することが難しい。また調整ネジが年月の経過によって動き、設定した抵抗値が変化することもある。また、接触抵抗の増大や摺動雑音の発生などの問題もある。また、オーディオのボリュームなどに用い、リモコンで遠隔操作する場合は、サーボモータのような動力源が必要であり、さらにこれら動力源を制御する回路が必要となる。

【0005】 なお、外部からの制御信号によって抵抗値を変化させる場合、D/A 変換器を用いる方法もある。図 5 を参照して、D/A 変換器を用いて抵抗値を変化させる方法について説明する。

【0006】 D/A 変換器には、例えば 4 つの入力端子 a~d が設けられる。この入力端子 a~d には、抵抗値が R、2R、4R、8R の抵抗がそれぞれ接続されている。そして、入力端子 a~d は、2 つの演算増幅器 A1、A2 に接続されている。

2

【0007】 上記した構成で、入力端子 a~d に制御信号が加えられる。このとき、信号が加えられる入力端子 a~d によって、演算増幅器 A1 の入力側に接続される抵抗値が変化し、出力端 OUT の出力電圧が変化する。そして、この出力電圧の変化が抵抗値の変化に変換される。

【0008】 D/A 変換器を用いる方法では、電圧の変化を抵抗値の変化に変換する装置が必要となる。また、演算増幅器を利用しているので、温度変化や外来雑音の影響を受け、動作が不安定になりやすい。

【0009】

【発明が解決しようとする課題】 上記したように、トリマーポテンショメータを用いる方法は、抵抗値の調整作業を自動化することが難しく、また、接触抵抗の増大や摺動雑音の発生などの問題がある。また、遠隔操作によって抵抗値を変化させることも困難である。

【0010】 また、D/A 変換器を用いる方法は、電圧を抵抗に変換する装置が必要となり、また演算増幅器を利用するので、温度変化や外来雑音の影響を受け、動作が不安定になりやすい。

【0011】 本発明は、上記した欠点を解決するもので、抵抗値の調整が確実に容易なデジタル可変抵抗装置を提供することを目的としている。

【0012】

【課題を解決するための手段】 本発明のデジタル可変抵抗装置は、加えられる信号の状態により、短絡状態あるいは開放状態となる複数の短絡回路と、この複数の短絡回路にそれぞれ並列に接続され、全体が直列に接続された複数の抵抗素子とで構成されている。

【0013】 また、前記短絡回路が、発光ダイオードとフォトダイオードとの組み合わせで構成されている。

【0014】

【作用】 上記の構成によれば、外から加えられる制御信号によって短絡状態や開放状態となる複数の短絡回路が設けられ、この複数の短絡回路にそれぞれ並列に、そして全体では直列になるように複数の抵抗素子が接続されている。また、直列に接続された複数の抵抗素子の両端に抵抗出力端子を接続する。そして、制御信号の値に応じて、複数の短絡回路のいずれかを短絡状態や開放状態にし、両端の抵抗出力端子間に接続される抵抗素子を変更し、抵抗値を変化させている。

【0015】 この構成によれば、トリマーポテンショメータを使用しないので、抵抗値の調整作業を自動化でき、また接触抵抗の増大や摺動雑音の発生などの問題もない。また、遠隔操作によって抵抗値を正確に、そして容易に変化させることができる。また、演算増幅器を利用しないので、温度変化や外来雑音の影響もなく、抵抗値の調整が確実に容易なデジタル可変抵抗装置が得られる。

【0016】 短絡回路として、発光ダイオードとフォト

ダイオードとの組み合わせた場合は、短絡状態や開放状態の制御が確実に行える。

【0017】

【実施例】以下、本発明の一実施例について、図1を参照して説明する。

【0018】11は矩形状のケースで、ケース11には、制御信号が入力される入力端子12～14やラッチ端子15、電源入力端子16、抵抗出力端子17、18、接地端子19が設けられている。

【0019】上記した構成で、抵抗値を設定する制御信号は入力端子12～14に加えられる。なお各入力端子12～14は、例えば3ビットで表現される制御信号の各ビットに対応している。また電源入力端子16と接地端子19間には、例えば+5Vの電源電圧が印加されている。

【0020】抵抗出力端子17、18は、入力端子12～14に加えられる制御信号によって設定される抵抗値を出力する端子である。またラッチ端子15にはラッチ信号が入力される。このラッチ信号は抵抗出力端子17、18間に接続される抵抗値を制御するタイミングを決定する。

【0021】ここで、ケース11内に収納されたデジタル可変抵抗装置の回路構成について、図2を参照して説明する。なお、図2では図1に対応する部分には同一の符号を付してある。

【0022】入力端子12～14やラッチ端子15はデコーダ21に接続されている。また、デコーダ21は、電源入力端子16から例えば+5Vの電源電圧が加えられ、また接地端子19を経てアースされる。なお、デコーダ21には、入力端子12～14に接続された入力端

【0023】また、出力端Y0～Y7は短絡回路S0～S7に接続されている。短絡回路S0～S7はそれぞれ同一の構成で、発光ダイオードとフォトダイオードの組み合わせで構成されている。例えば、短絡回路S0について説明すると、発光ダイオードD1とフォトダイオードD2で構成され、発光ダイオードD1のアノードは電源入力端子16に、またカソードは出力端Y0に接続される。またフォトダイオードD2のアノードは抵抗出力端子17に、そしてカソードは、次段の短絡回路S1のフォトダイオードD2のアノードに接続されている。そして、最終段の短絡回路S7のフォトダイオードD2のカソードは、抵抗出力端子17に接続されている。

【0024】また、各短絡回路S0～S7に並列に、即ちフォトダイオードD2のアノードとカソード間に抵抗R0～R7が接続されている。なお、抵抗R0～R7は全体では直列に接続され、その両端は抵抗出力端子17、18に接続されている。

【0025】ここで、上記した構成のデジタル可変抵抗

装置の動作について説明する。

【0026】入力端A0～A2は3ビットの制御信号の各ビットに対応しており、制御信号の大きさによって所定の入力端A0～A2に信号が入力される。そして、信号が入力される入力端A0～A2の組み合わせによって、出力端Y0～Y7のいずれか1つにハイレベル信号を、その他にはローレベル信号を出力する。

【0027】なお、入力端A0～A2やラッチ端子15に加えられる信号と出力端Y0～Y7から出力される信号との関係を図3に示す。なお、図3では、Hはハイレベル信号を意味し、Lはローレベル信号を意味している。

【0028】例えばNo. 2のように、入力端A0にハイレベル信号が、そして入力端A1、A2にローレベル信号が加えられている状態で、ラッチ端子15にハイレベル信号が加えられると、出力端Y1はハイレベル信号、その他の出力端Y0、Y2～Y7はローレベル信号になる。

【0029】このとき、短絡回路S1の発光ダイオードD1は、カソードにハイレベル信号が加えられるので発光しない。しかし他の短絡回路S0、S2～S7の発光ダイオードD1は、カソードにローレベル信号が加えられ発光する。そして発光ダイオードD1の発光は、それぞれ対になっているフォトダイオードD2で受光され、フォトダイオードD2のアノードとカソード間が導通し短絡する。なお、短絡回路S1の発光ダイオードD1は発光しないため、短絡回路S1のフォトダイオードD2のアノードとカソード間は短絡しない。この場合、抵抗R0、R2～R7の両端はフォトダイオードD2によって短絡される。したがって、抵抗出力端子17と抵抗出力端子18間には、抵抗R1のみが接続され、出力端子17、18間の抵抗値が決定される。

【0030】なお、図3のNo. 9で示すように、ラッチ端子15にローレベル信号が加えられる場合は、出力端Y0～Y7から出力される信号は全てハイレベル信号となる。このとき、各短絡回路S0～S7の発光ダイオードは発光せず、各短絡回路S0～S7は開放状態となる。したがって、出力端子17、18間には抵抗R0～R7が接続される。

【0031】上記した構成によれば、入力端A0～A2に入力される制御信号の値によって、短絡される抵抗R0～R7の組み合わせが変化する。この結果、抵抗出力端子17、18間に接続される抵抗が変わり抵抗値が変化する。

【0032】なお、上記した実施例によれば、抵抗値の調整に動力源は必要とされない。また、ソフトウェアにより抵抗値を変更でき、遠隔操作や自動化を容易にそして正確に行える。また、摺動雑音もなく、振動や温度、湿度、ガス、外來雑音など環境による抵抗値の変動も小さい。

5

【0033】また、上記した実施例では、短絡回路を制御する装置として、3ビットの制御信号が入力されるデコーダが用いられている。しかし、制御信号は3ビットに限られるものではない。また、制御信号としてアナログ信号を利用することもでき、この場合はデコーダの代わりに例えばアナログ信号をデジタル信号に変換するA/D変換器などが用いられる。

【0034】

【発明の効果】本発明によれば、抵抗値の調整を確実に、容易に行えるデジタル可変抵抗装置を実現できる。

【図面の簡単な説明】

【図1】本発明の一実施例を説明する図である。

【図2】本発明の一実施例を説明する回路構成図である。

【図3】本発明の動作を説明する図である。

6

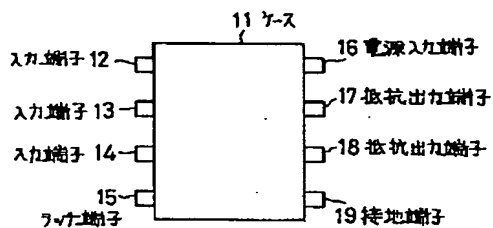
【図4】従来例を説明する図である。

【図5】従来の他の例を説明する図である。

【符号の説明】

11…ケース
12、13、14…入力端子
15…ラッチ端子
16…電源入力端子
17、18…抵抗出力端子
19…接地端子
10 A0～A2…入力端
Y0～Y7…出力端
S0～S7…短絡回路
R0～R7…抵抗
D1…発光ダイオード
D2…フォトダイオード

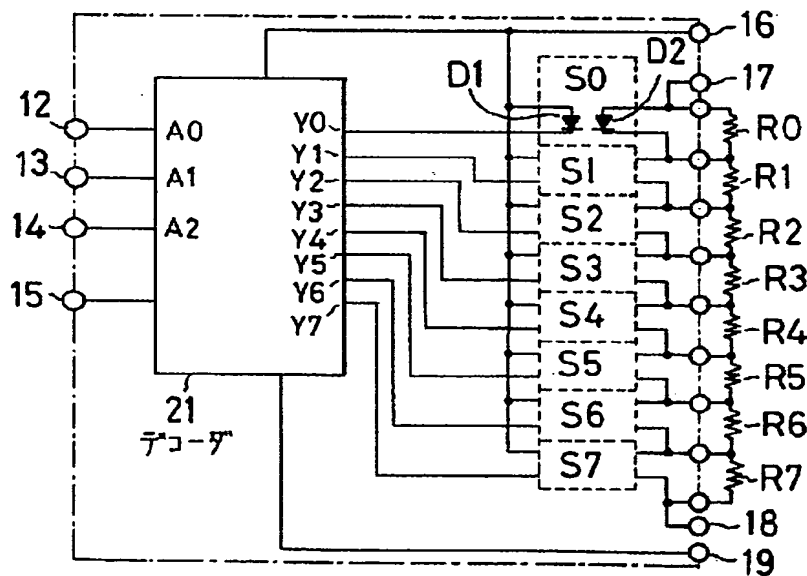
【図1】



【図3】

NO.	ラッチ端子	A0	A1	A2	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
1	H	L	L	L	H	L	L	L	L	L	L	L
2	H	L	L	L	L	H	L	L	L	L	L	L
3	H	L	L	L	L	L	H	L	L	L	L	L
4	H	L	L	L	L	L	L	H	L	L	L	L
5	H	L	L	L	L	L	L	L	H	L	L	L
6	H	L	L	L	L	L	L	L	L	H	L	L
7	H	L	L	L	L	L	L	L	L	L	H	L
8	H	L	L	L	L	L	L	L	L	L	L	H
9	L	-	-	-	H	H	H	H	H	H	H	H

【図2】



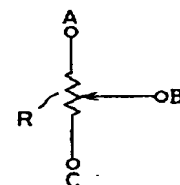
S0～S7: 短絡回路

R0～R7: 抵抗

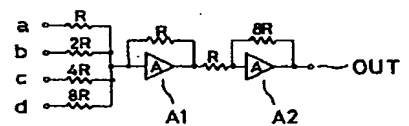
A0～A2: 入力端子

Y0～Y7: 出力端子

【図4】



【図5】



(5)

特開平 8－3 7 4 3 7

フロントページの続き

(51) Int. Cl.⁶

// H 0 3 M 1/74

識別記号

庁内整理番号

F I

技術表示箇所